

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-132670

(43)Date of publication of application : 09.05.2003

(51)Int.Cl. G11C 11/14  
G11C 11/15  
H01L 27/105  
H01L 43/08

(21)Application number : 2001-323506

(71)Applicant : CANON INC

(22)Date of filing : 22.10.2001

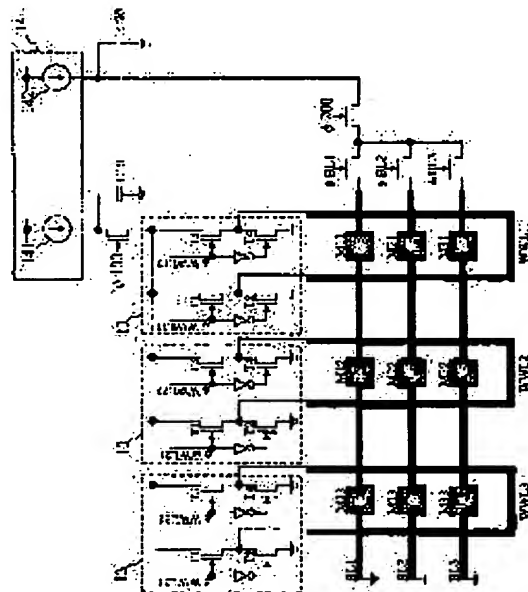
(72)Inventor : SHIRAI EIJI

## (54) MAGNETIC MEMORY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress overshoot caused in a current flowing write-in lines and bit lines at write-in of data.

**SOLUTION:** Switch elements  $\phi_{100}$  are provided at preceding stages of write-in lines WWL1-WWL3, and each write-in line WWL1-WWL3 is connected to a power source circuit 14 through the switch elements  $\phi_{100}$ . In the same way, switch elements  $\phi_{200}$  are provided at preceding stages of bit lines BL1-BL3, and each write-in line BL1-BL3 is connected to a power source circuit 14 through the switch elements  $\phi_{200}$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The magnetic memory apparatus characterized by having the switching device which separates said current source and said two or more switching devices in the magnetic memory apparatus which has two or more memory cells which possessed the magnetic resistance element and have been arranged in the shape of a matrix, the current source which supplies a current, two or more wiring which impresses a field to a memory cell, and the switching device which supplies the current from said current source for said two or more wiring of every.

[Claim 2] Two or more memory cells which possessed the magnetic resistance element and have been arranged in the shape of a matrix, Two or more write-in lines which impress a field to said memory cell, and the 1st switching device for being prepared for said two or more write-in lines of every, and supplying a current to a write-in corresponding line, Two or more bit lines which intersected said two or more write-in lines, have been arranged and were connected to said memory cell, In the magnetic memory apparatus which is prepared for said two or more bit lines of every, and has the 2nd switching device for supplying a current to a corresponding bit line The magnetic memory apparatus characterized by having the 4th switching device which has the 3rd one or more switching devices which separate a power circuit and said two or more 1st switching devices, and/or separates a power circuit and said two or more 2nd switching devices.

[Claim 3] Said power circuit where said write-in line was connected through said the 1st switching device and said 3rd switching device, and said power circuit where said bit line was connected through said the 2nd switching device and said 4th switching device are a magnetic memory apparatus according to claim 2 characterized by being the same power circuit.

[Claim 4] It is the magnetic memory apparatus according to claim 2 or 3 characterized by connecting said write-in line and said bit line to a constant current source into said power circuit.

[Claim 5] Said the 3rd switching device and said 4th switching device are a magnetic memory apparatus given in any 1 term of claims 2-4 characterized by being a metal oxide silicon field effect transistor.

[Claim 6] A magnetic memory apparatus given in any 1 term of claims 2-5 which impresses the field in which induction was carried out to the write-in line and bit line which correspond at the time of the data writing to said magnetic resistance element by the sink and this current in the current, respectively to said magnetic resistance element.

[Claim 7] Connect mutually and the end of wiring arranged in said write-in line so that the element array of said magnetic resistance element may be inserted is constituted. Two or more 5th switching devices are prepared in the 1st switching device which connected said write-in line to one constant current source, and was connected to said write-in line. A magnetic memory apparatus given in any 1 term of claims 2-6 to which a current flows bidirectionally on said write-in line by changing these two or more 5th switching devices.

[Claim 8] A magnetic memory apparatus given in any 1 term of claims 2-6 to which it connects mutually, the end of wiring arranged in said write-in line so that the element array of said magnetic resistance element may be inserted is constituted, said write-in line is connected to two or more constant current sources, and a current flows bidirectionally on said write-in line according to these two or more constant current sources.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the magnetic memory apparatus which has a memory cell using a magnetic resistance element about the magnetic memory apparatus of a non-volatile.

[0002]

[Description of the Prior Art] In the magnetic substance, such as a ferromagnetic, the magneto-resistive effect from which the electric resistance changes with the direction of the magnetization, the existence of magnetization, etc. is known, and the rate of an electric resistance value change at that time is called magnetic-reluctance ratio (MR ratio; Magneto-Resistance Ratio). as an ingredient with a large magnetic-reluctance ratio - a huge magnetic-reluctance (GMR; Giant Magneto-Resistance) ingredient -- there is overly a huge magnetic-reluctance (CMR; Colossal Magneto-Resistance) ingredient, and, generally these are a metal, an alloy, a multiple oxide, etc. For example, there are ingredients, such as multiple oxides, such as Fe, nickel, Co, Gd, Tb and these alloys, and LaXSr1-XMnO9, LaXCa1-XMnO9. after [ moreover, ], as for a ferromagnetic, the magnetization generated in the ferromagnetic by the magnetic field impressed from the outside generally removes an external magnetic field -- remaining (this being called residual magnetization) -- it has the property to say.

[0003] Then, if the residual magnetization of the ferromagnetic is used, using a ferromagnetic as a magnetic-reluctance ingredient, the nonvolatile memory which chooses an electric resistance value by the magnetization direction or the existence of magnetization, and memorizes information can be constituted. Such nonvolatile memory is called magnetic memory (MRAM(magnetic random access memory);Magnetic Random Access Memory).

[0004] In recent years, many of MRAM(s) to which development is advanced have memorized information by the residual magnetization of the ferromagnetic of a huge magnetic-reluctance ingredient, and the method which reads the memorized information is used for it by detecting the electric resistance value change produced by the difference in the magnetization direction. Moreover, by changing the magnetization direction of a ferromagnetic memory cell by the magnetic field by which passes a current to wiring for writing and induction is carried out to it, information can be written in a memory cell and the information can be rewritten.

[0005] The tunnel magnetic resistance element (TMR; Tunnel Magneto-Resistance or MTJ;Magnetic TunnelJunction) which has the structure which sandwiched the tunnel insulator layer (electric insulation film of the thickness which is extent to which tunnel current flows) in two ferromagnetic layers as a memory cell of MRAM is equipped with high magnetic-reluctance rate of change (MR ratio), and is expected as a device nearest to utilization. As such a memory cell, the thing of a configuration of having put the tunnel insulator layer between the magnetization film within [ of two ] a field conventionally was examined. However, in the case of the memory cell which used the magnetization film within a field, it turns out that the technical problem which should be solved, like MR ratio falls, and a required write-in current increases with micrifying of a memory cell, and migration of the operating point (hysteresis loop which shows the magnetic properties of a memory cell) takes place occurs. On the other hand, in JP,11-213650,A, the thing of a configuration of having put the non-magnetic layer which is a tunnel insulator layer between the perpendicular magnetic anisotropy films of two sheets is proposed. Even if it is the case where a memory cell is micrified by using perpendicular magnetic anisotropy films, the memory cell which lowering of MR ratio and the increment in a write-in current are suppressed, and the shift in the hysteresis loop is also suppressed, and has the outstanding property comes to

be obtained.

[0006] Drawing 6 is the circuit diagram showing an example of the configuration of the memory cell array of MRAM.

[0007] One memory cell is equipped with the magnetic resistance element (memory device) 11 expressed as variable resistance, and the transistor 12 which an end connects to a magnetic resistance element 11. The transistor 12 is typically constituted by the MOS (Metal-Oxide-Semiconductor) field-effect transistor, and the other end is grounded. Such a memory cell constitutes two or more memory cell arrays by arranging in the shape of a matrix to two-dimensional. The field for three line x3 train in a memory cell array is shown by what illustrated it when the list of a graphic display longitudinal direction was made to call the list of a line and a lengthwise direction a train here. The bit lines BL1-BL3 prolonged in a line writing direction for every line are formed, and the word lines WL1-WL3 prolonged in the direction of a train for every train are formed. In each memory cell, the end of a magnetic resistance element 11 is connected to the corresponding bit line of a line, and the gate of a transistor 12 is connected to the corresponding word line of a train.

[0008] It is the write-in lines WWL1-WWL3 for writing in the data to each memory cell which a graphic display broken line shows, and this write-in line is formed for every train. It writes in as the 1st switching device which writes in T1 - T four in the transistor as a switching device, writes in 13 for every train, and supplies a current to lines WWL1-WWL3, and is a circuit. The write-in lines WWL1-WWL3 are turned up by the other end of a train, and are connected to a power circuit 14 through the transistor T1 which constitutes the write-in circuit 13, T four or T2, and T3. When a transistor T1 and T four are turned on, it writes in a graphic display counterclockwise rotation, and a current flows, when a transistor T2 and T3 are turned on, it writes in a graphic display clockwise rotation, and a current flows. Therefore, by the switching device of the write-in circuit 13, the current from a power circuit 14 can be written in, and it can write in bidirectionally to a line, and can pass as a current.

[0009] Drawing 7 is the sectional view showing an example of the configuration of a memory cell. By a diagram, two memory cells located in a line in the direction of a train are shown.

[0010] While the component isolation region 31 is formed on the semi-conductor substrate 30, the drain field 32 and the source field 33 of a transistor 12 are prepared, and the word line 35 (it corresponds to the word lines WL1-WL3 in drawing 6) which serves as the gate electrode of a transistor 12 is formed through gate dielectric film 34 in the field inserted into the drain field 32 and the source field 33. In the illustrated example, two transistors 12 serve as a gestalt which makes the source field 33 serve a double purpose, and interlayer insulation films 36, 37, and 38 are formed in this order so that such a transistor 12 may be covered. The interlayer insulation film 38 is formed especially thinly. The source field 33 was connected to the grounding conductor 40 formed on the interlayer insulation film 36 through the plug 39, and the drain field 32 is connected to the magnetic resistance element 11 formed on the interlayer insulation film 38 through a plug 41 on the underside. A magnetic resistance element 11 is the thing of a configuration of having pinched the tunnel insulator layer which is a non-magnetic layer in the illustrated example between two-layer perpendicular magnetic anisotropy films which were indicated by JP,11-213650,A. Moreover, the write-in line 42 (it corresponds to the write-in lines WWL1-WWL3 in drawing 6) is formed in the bottom of an interlayer insulation film 38 so that it may be carved by the interlayer insulation film 37. The interlayer insulation film 43 is formed so that the field between the adjoining magnetic resistance elements 11 may be filled, and the top face of a magnetic resistance element 11 is connected to the bit line 44 (it corresponds to the bit lines BL1-BL3 in drawing 6) which is formed on an interlayer insulation film 43 and prolonged in a graphic display longitudinal direction. Furthermore, the interlayer insulation film 45 which serves as a protective coat is formed so that an interlayer insulation film 43 and a bit line 44 may be covered.

[0011] The writing of the data to the memory cell in the memory cell array shown in drawing 6 is performed by [ as writing data only in the selected memory cell ] by the sum field of the write-in field by the write-in current which writes in the memory cell (selected memory cell) which is going to write in data, and flows a line, and the assistant field by the assistant current which flows a bit line. For example, an assistant current is passed to the bit line of a line with which a memory cell belongs, a level assistant field is generated to the film surface of a magnetic resistance element, it writes in after that and data are written only in the memory cell which passed the polar write-in current according to a write-in value ("Low (0)" or "High (1)") on the line, it was made to generate a vertical write-in field to the film surface of a magnetic resistance element, and was chosen as it by

the sum field of a write-in field and an assistant field. An assistant field is a field committed so that the magnitude of a write-in field required for the magnetization direction reversal of a ferromagnetic layer may be reduced, and a write-in field is a field which determines the magnetization direction of a ferromagnetic layer. Writing may be attained by generating a write-in field as the approach to a memory cell to write in, after generating an assistant field, and after generating a write-in field previously, writing may be attained by generating an assistant field.

[0012] Moreover, in order to pass an assistant current to the bit line of the selected line, the transistor 15 as a switching device for connecting a power circuit 14 and its bit line to the end of each bit line is formed, and the transistor 16 as a switching device for grounding a bit line by the other end is formed in the other end. Typically, transistors 15 and 16 are constituted by the metal oxide silicon field effect transistor.

[0013] In such a memory cell array, the readout circuitry 20 is formed in the end of each bit lines BL1-BL3. A readout circuitry 20 reads the data written in the memory cell from the memory cell of the train chosen by word lines WL1-WL3. Specifically all the transistors 15 and 16 are made into an OFF state, the resistance of the magnetic resistance element 11 of the memory cell which makes the transistor 12 of a specific train an ON state with a word line, and is made into an object from a readout-circuitry 20 side is read, and it judges any shall be recorded between "0" and "1" based on the result. In this case, the absolute value of the resistance of a magnetic resistance element 11 is not measured, for example, a reference cel is prepared in a readout circuitry 20, the size of that reference cel and resistance of a magnetic resistance element 11 is compared, and it judges any of "0" and "1" they are. The resistance which serves as medium with resistance in case resistance and a record value in case a record value is "0" are "1" in a magnetic resistance element 11 is set to a reference cel. And by detecting the electrical potential difference which generates in a sink to the both sides of a reference cel and a magnetic resistance element 11, and generates a predetermined current then to the ends of the both sides of a reference cel and a magnetic resistance element 11, and comparing both electrical potential difference, it judges whether the resistance of a reference cel is larger, or the resistance of a magnetic resistance element 11 is larger, and the data recorded on the magnetic resistance element 11 are distinguished.

[0014] Drawing 8 is drawing for explaining the configuration of the part relevant to the data writing of the memory cell array of MRAM to a detail.

[0015] The magnetic resistance element by which each memory cell is equipped with M11-M33 in drawing 8, The constant current source for write-in currents in 141, the constant current source for assistant currents in 142, The switching device for  $\phi$ WWL11 -  $\phi$ WWL32 controlling and writing in a switch T1 - T four, writing them in lines WWL1-WWL3, and passing a current,  $\phi$ BL1 -  $\phi$ BL3 are the switching devices for passing an assistant current to each bit lines BL1-BL3, and consist of n mold MOS transistors here. In addition, two or more power circuits 14 may be formed, and a constant current source 141,142 may be established in a mutually different power circuit, respectively. Although transistors T1 and T2, T3, and T four consist of n mold MOS transistors here, a transistor (T1, T3) may be p mold MOS transistor, for example, and a transistor (T2, T four) may be n mold MOS transistor. In that case, what is necessary is not to make into an inverter circuit  $\phi$ WWL11 which controls transistors T1 and T2, but just to make it the circuitry as which the same input signal as both switches is inputted in drawing 8.

[0016] In the memory cell array shown in drawing 8, a transistor T1 is turned on by the pulse of High being impressed to switching device  $\phi$ WWL11, and a transistor T2 serves as OFF. Transistor T3 is turned off by furthermore the pulse of Low being impressed to switching device  $\phi$ WWL12, transistor T four serves as ON, it writes in the write-in line WWL1 at a graphic display counterclockwise rotation, and a current flows. On the contrary, since a transistor T2 and T3 will be turned on and a transistor T1 and T four will become off if the pulse of Low is impressed to switching device  $\phi$ WWL11 and the pulse of High is impressed to switching device  $\phi$ WWL12, it writes in the write-in line WWL1 at a graphic display clockwise rotation, and a current flows.

[0017] Moreover, if switching device  $\phi$ BL1 is turned on by the pulse of High, an assistant current will flow leftward [ graphic display ] to a bit line BL1.

[0018] For example, while switching device  $\phi$ BL1 is turned ON at the time of the data writing to a magnetic resistance element M11 and the assistant current is flowing to the bit line BL1, it writes in the write-in line WWL1, a current writes in, and it passes to the sense according to a value. Moreover, at the time of data writing, actuation which writes in a write-in line bidirectionally and passes a current may be performed as one

set, and only the polar write-in current according to a write-in value ("0" or "1") may pass only a uni directional.

[0019]

[Problem(s) to be Solved by the Invention] However, at the conventional memory cell array mentioned above, in the condition that all the switching devices to which a write-in line and a power circuit 14 are connected are off, or the condition that all the switching devices to which a bit line and a power circuit 14 are connected are off, since the flow point of the current from a power circuit 14 is lost, the current is charged parasitic capacitance C10 or C20. Moreover, as an element which constitutes the parasitic capacitance C10 and C20 as used in this description, they are wiring capacity, such as an output capacitance of a power circuit, a write-in line, a bit line, etc. to which the write-in line and the bit line were connected, the parasitic capacitance of a switching device, etc.

[0020] Consequently, if the pulse current of the amplitude I as shown to a write-in line at the time of data writing and shown in a bit line at drawing 9 is passed, since the energy (charge) charged to parasitic capacitance C10 and C20 at the flash will discharge in an instant, a transient overshoot occurs in the pulse current wave just behind that, and malfunction, a write-in defect, etc. are produced.

[0021] Here, if a switching device is a MOS transistor, the parasitic capacitance of a switching device corresponds to the overlap capacity between S(source)-G (gate), and the diffusion capacitance of S, as shown in drawing 3 R> 3. In the memory cell array of MRAM, if the write-in current and assistant current beyond a predetermined threshold are not passed, data cannot be written in. Therefore, as compared with DRAM using the usual capacitor cel, it is necessary to heighten the current actuation capacity of a switching device remarkably. Therefore, the parasitic capacitance of a switching device becomes large compared with an above-mentioned wiring capacity etc.

[0022] For example, in drawing 8 , supposing a transistor T1 and T3 are OFF states (cut off state), the overlap capacity between S-G and the diffusion capacitance of S will serve as the transistor T1 and the parasitic capacitance component of T3 which were seen from the power circuit 14. Since these capacity components wrote in the power circuit 14 and only the number of lines is connected in juxtaposition, the parasitic capacitance of a switching device will become more dominant in the element which constitutes parasitic capacitance C10.

[0023] Then, the object of this invention is by mitigating the parasitic capacitance as the whole switching device to offer the magnetic memory apparatus which can oppress the transient overshoot generated on the current which writes in at the time of data writing and flows to a line and a bit line.

[0024]

[Means for Solving the Problem] It is characterized by the magnetic memory apparatus of this invention having the switching device which separates said current source and said two or more switching devices in the magnetic memory apparatus which has two or more memory cells which possessed the magnetic resistance element and have been arranged in the shape of a matrix, the current source which supplies a current, two or more wiring which impresses a field to a memory cell, and the switching device which supplies the current from said current source for said two or more wiring of every, in order to attain the above-mentioned object.

[0025] According to this configuration, a charge will be charged by only the parasitic capacitance of the switching device for a current not flowing into two or more switching devices as an OFF state, but and separating all of two or more switching devices prepared in order to supply a current to two or more wiring, and the switching device which separates two or more switching devices. Thereby, since only the part of two or more switching devices is mitigated greatly, the parasitic capacitance by the side of wiring seen from the current source can be written in at the time of data writing, and a transient overshoot can pass a repressed current on a line.

[0026] Moreover, two or more memory cells which the magnetic memory apparatus of this invention possessed the magnetic resistance element, and have been arranged in the shape of a matrix, Two or more write-in lines which impress a field to said memory cell, and the 1st switching device for being prepared for said two or more write-in lines of every, and supplying a current to a write-in corresponding line, Two or more bit lines which intersected said two or more write-in lines, have been arranged and were connected to said memory cell, In the magnetic memory apparatus which is prepared for said two or more bit lines of every, and has the 2nd switching device for supplying a current to a corresponding bit line It is characterized by having the 4th switching device



which has the 3rd one or more switching devices which separate a power circuit and said two or more 1st switching devices, and/or separates a power circuit and said two or more 2nd switching devices.

[0027] According to this configuration, a current will not flow into the 1st switching device as an OFF state in all of the 1st switching device and 3rd switching device which supply a current to two or more write-in lines, but a charge will be charged by only the parasitic capacitance of the 3rd switching device. Thereby, since [ which was seen from the power circuit ] it writes in and the parasitic capacitance of the switching device by the side of a line is mitigated greatly, it can write in at the time of data writing, and a transient overshoot can pass a repressed current on a line. The same thing can say also in a bit line, and since the parasitic capacitance of the switching device by the side of the bit line seen from the power circuit is mitigated greatly, a transient overshoot can pass a repressed current to a bit line at the time of data writing.

[0028]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained with reference to a drawing.

[0029] Drawing 1 is drawing showing the configuration of the part related to the data writing of the magnetic memory apparatus of one gestalt of operation of this invention. In addition, in drawing 1, the same part as drawing 8 attaches the same sign, and omits explanation.

[0030] When drawing 1 is referred to, in the magnetic memory apparatus of this operation gestalt As two or more switching devices which write in for every train and supply a current to lines WWL1-WWL3 or as two or more 5th switching devices which constitute the write-in circuit 13 as the 1st switching device, and each write-in circuit 13 The switching device phi 100 as the 3rd switching device is arranged as a switching device for separating the \*\* transistor T1 - T four, two or more 1st switching devices, and a power circuit 14. The write-in lines WWL1-WWL3 are connected to the constant current source 141 in a power circuit 14 through a switching device phi 100 from the transistor T1 in each write-in circuit 13 - T four. moreover As a switching device which supplies a current to bit lines BL1-BL3, as the 2nd switching device The switching device phi 200 as the 4th switching device is arranged as a switching device for separating \*\* switching device phiBL1 - phiBL3, and two or more switching device phiBL1-BL3 and power circuits 14. Bit lines BL1-BL3 are connected to the constant current source 142 in a power circuit 14 through a switching device phi 200 from switching device phiBL1 - phiBL3.

[0031] In addition, in drawing 1, although only the field for three line x3 train in the memory cell array of a magnetic memory apparatus is shown, the whole configuration has become like drawing 2. However, the magnetic memory apparatus of this operation gestalt should just be the configuration that it is not necessarily limited to the configuration shown in drawing 2, switching device phi100-1 - phi100-N is connected to two or more write-in lines about switching device phi100-1 - phi100-N, and each write-in line is connected to a power circuit 14 through either of the switching device phi100-1 - phi100-N. Moreover, what is necessary is just the configuration that switching device phi200-1 - phi200-M is connected to two or more bit lines about switching device phi200-1 - phi200-M, and each bit line is connected to a power circuit 14 through either of the switching device phi200-1 - phi200-M.

[0032] The switching devices phi100 and phi200 in this operation gestalt consist of n mold MOS transistors which have the overlap capacity between S-G, and the diffusion capacitance of S as shown in drawing 3. However, the switching devices phi100 and phi200 of this invention may not be limited to this, but may be p mold MOS transistors.

[0033] For example, when all the switching devices ( drawing 1 a switching device phi 100 and the transistor T1 in each write-in circuit 13, T3) to which the write-in lines WWL1-WWL3 and a power circuit 14 are connected are made into an OFF state, the current from a power circuit 14 will be charged by the parasitic capacitance (an above-mentioned overlap capacity and an above-mentioned diffusion capacitance) of a switching device phi 100. However, in order to make a switching device phi 100 into an OFF state, a current does not flow to a transistor T1 and T3, and a charge is not charged by a transistor T1 and T3. Therefore, the parasitic capacitance of the switching device by the side of the write-in line seen from the power circuit 14 turns into only parasitic capacitance of a switching device phi 100.

[0034] On the other hand, in the conventional magnetic memory apparatus shown in drawing 8, when all the switching devices ( drawing 8 the transistor T1 in each write-in circuit 13, T3) to which the write-in lines WWL1-WWL3 and a power circuit 14 are connected are made into an OFF state, the current from a power

circuit 14 will be charged by the parasitic capacitance of a transistor T1 and T3. Therefore, it becomes a synthetic capacity of the parasitic capacitance of the transistor T1 to which the parasitic capacitance of the switching device by the side of a line is written in a power circuit 14 by writing in, and only the number of lines is connected in juxtaposition, and T3 seen from the power circuit 14.

[0035] Thereby, with this operation gestalt, since the parasitic capacitance of the switching device which becomes dominant is greatly mitigated in parasitic capacitance C10 as compared with the conventional example, the transient overshoot which writes in at the time of data writing and is generated on a current can be oppressed, as shown in drawing 10 .

[0036] Similarly, since the parasitic capacitance of the switching device by the side of a bit line is also greatly mitigated as compared with the conventional example, the transient overshoot generated on an assistant current at the time of the writing to each magnetic resistance element can be oppressed as shown in drawing 10 .

[0037] About the actuation at the time of the data writing in the magnetic memory apparatus shown in drawing 1 , when it writes in a write-in line and a current is passed, a switching device phi 100 is made to impress and turn on the pulse of High coincidence or before and after that, and except making a switching device phi 200 impress and turn on the pulse of High coincidence or before and after that, when an assistant current is passed to a bit line, since it is the same as that of the conventional example of drawing 8 , explanation is omitted.

[0038] In addition, although this operation gestalt has attained oppression of the transient overshoot of both a write-in current and an assistant current by forming switching devices phi100 and phi200 in each preceding paragraph of a write-in line and a bit line as a set switch This invention is not being limited to this and forming a set switch only in the preceding paragraph of either a write-in line or a bit line, and is good also as a configuration which attains oppression of the transient overshoot of either a write-in current and an assistant current.

[0039] Moreover, with this operation gestalt, although the current is bidirectionally passed on each write-in line according to one constant current source, this invention is not limited to this and can be applied also to the configuration which passes a current bidirectionally on each write-in line according to two or more constant current sources as shown in drawing 4 . When drawing 4 chooses a constant current source 151,154 when the configuration which passes a current bidirectionally on each write-in lines WWL1-WWL3 according to four constant current sources 151-154 is shown and it passes a current on each write-in lines WWL1-WWL3 at a graphic display counterclockwise rotation, and passing a current on a sink and each write-in lines WWL1-WWL3 and, as for it, passing a current to a graphic display clockwise rotation, a constant current source 152,153 is chosen and a current is passed. In addition, the constant current source 151,152 and the constant current source 153,154 may be established in the same power circuit, and two or more power circuits may be prepared and you may prepare in a mutually different power circuit, respectively.

[0040] Moreover, with this operation gestalt, although the current is bidirectionally passed on each write-in line, this invention is not limited to this and can be applied also to the configuration which passes a current on each write-in line only in an one direction as shown in drawing 5 .

[0041]

[Effect of the Invention] As explained above, this invention has the 3rd one or more switching devices, in order to separate a power circuit and the 1st two switching devices or more, and is considering them as the configuration to which a current is supplied through the 1st switching device and 3rd switching device at the write-in line. A charge is charged by only the parasitic capacitance of the 3rd switching device also as an OFF state in all of the 1st switching device and 3rd switching device which supply a current to two or more write-in lines, it writes in, by that cause, since [ which was seen from the power circuit ] it is mitigated greatly, the parasitic capacitance by the side of a line writes in only the part of the 1st switching device at the time of data writing, and it is effective in the ability of a transient overshoot to pass a repressed current on a line.

[0042] Moreover, in order to separate a power circuit and the 2nd two switching devices or more, it has the 4th one or more switching devices. Since the parasitic capacitance by the side of the bit line which is considering as the configuration to which a current is supplied through the 2nd switching device and 4th switching device at the bit line, and was seen from the power circuit for the same reason as the above is greatly mitigated only for the part of the 2nd switching device, The effectiveness that a transient overshoot can pass a repressed current is in a bit line at the time of data writing.



---

[Translation done.]

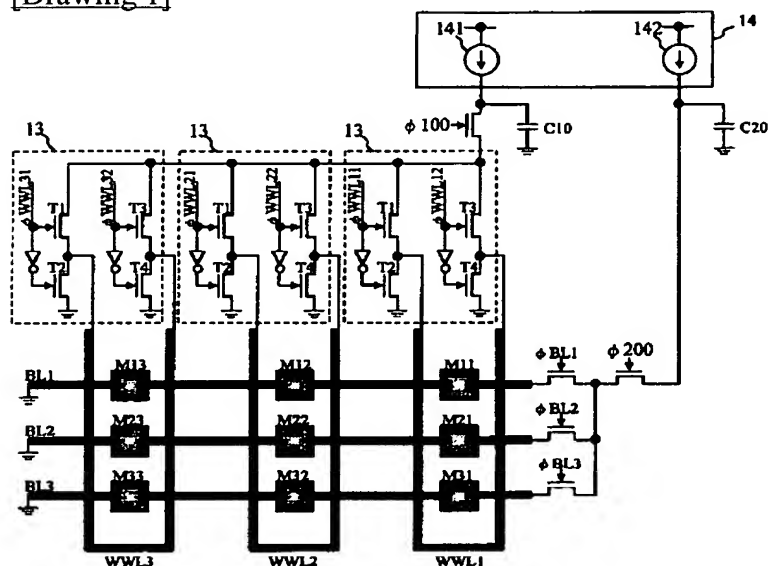
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

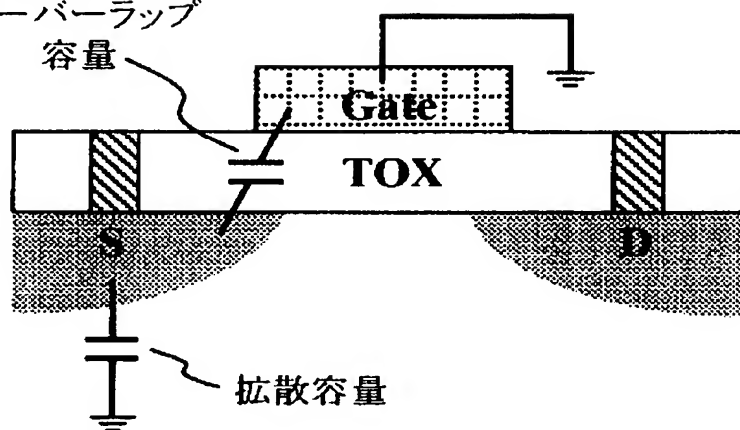
[Drawing 1]



[Drawing 3]

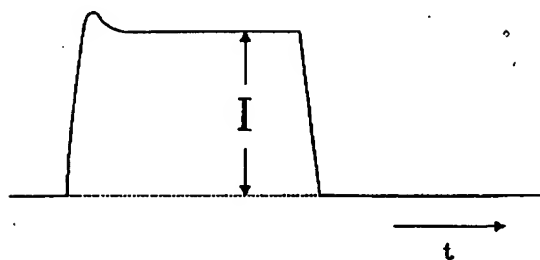
オーバーラップ

容量

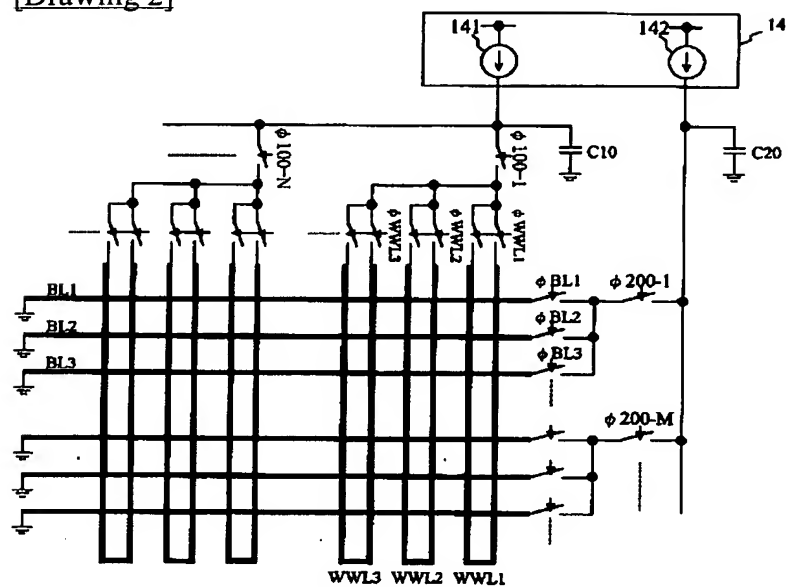


拡散容量

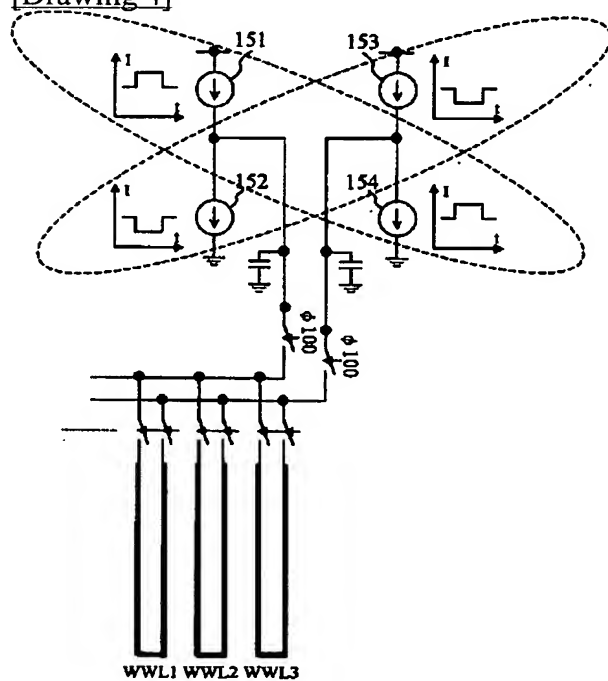
[Drawing 10]



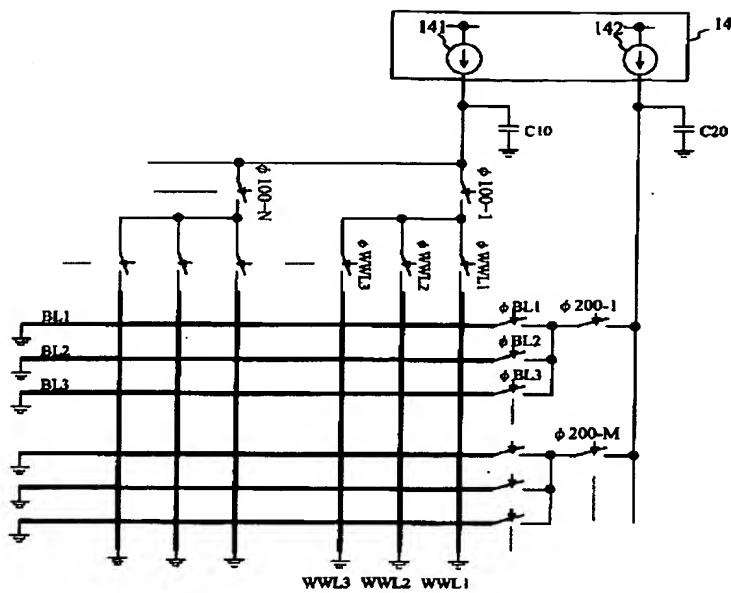
[Drawing 2]



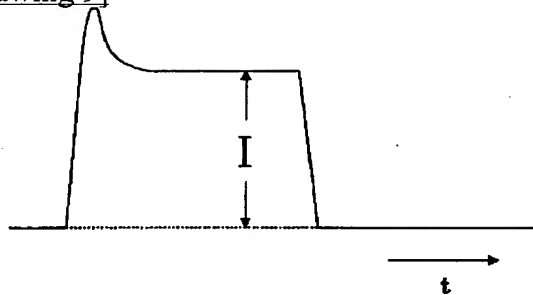
[Drawing 4]



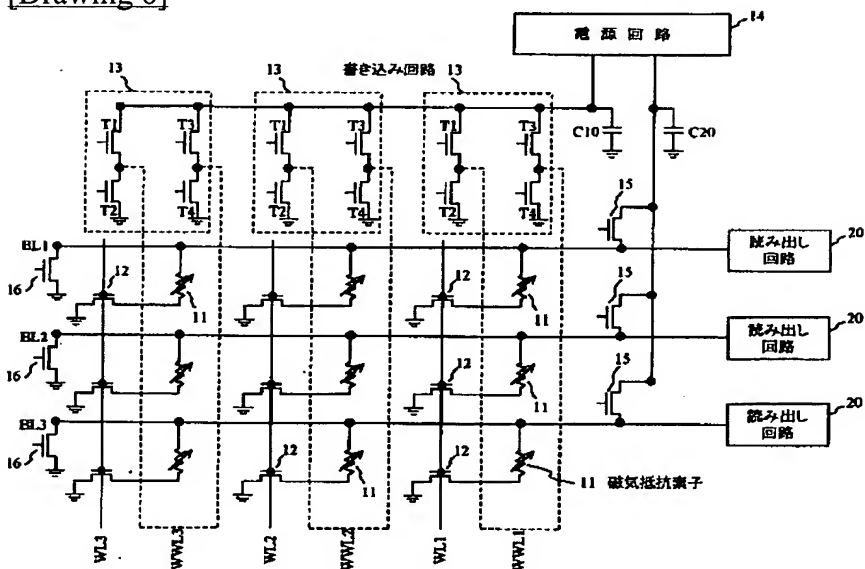
[Drawing 5]

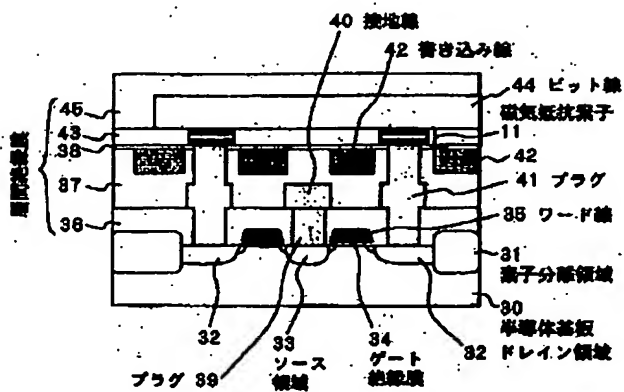


[Drawing 9]

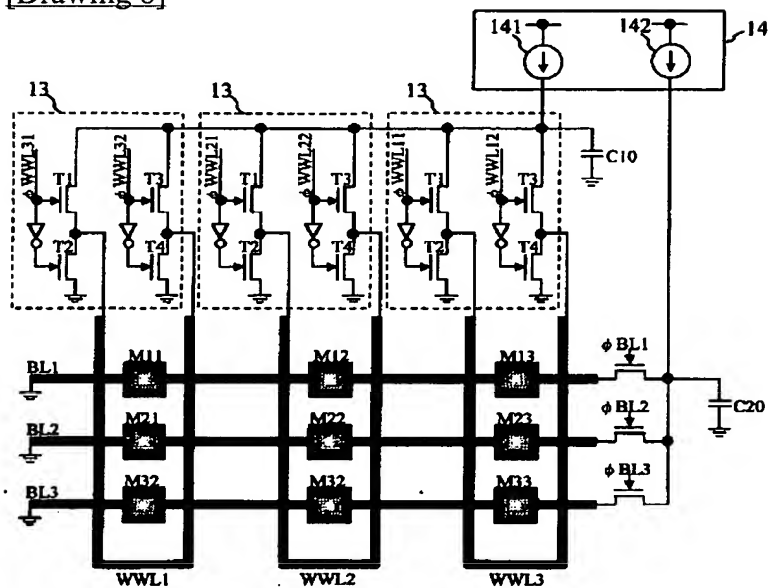


[Drawing 6]





[Drawing 8]



[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-132670

(43)Date of publication of application : 09.05.2003

(51)Int.Cl.

G11C 11/14  
G11C 11/15  
H01L 27/105  
H01L 43/08

(21)Application number : 2001-323506

(71)Applicant : CANON INC

(22)Date of filing : 22.10.2001

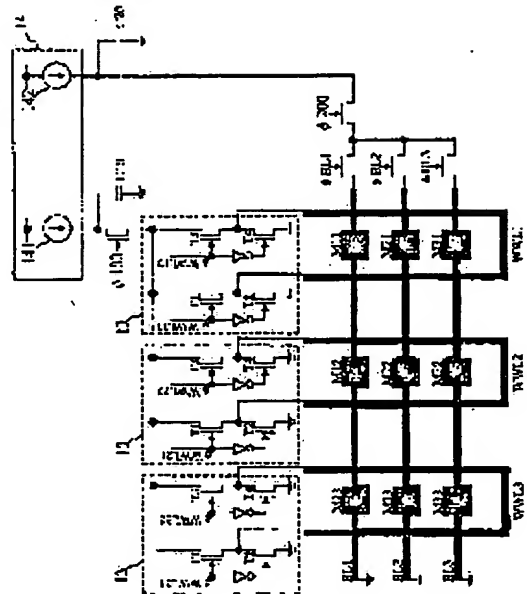
(72)Inventor : SHIRAI EIJI

## (54) MAGNETIC MEMORY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress overshoot caused in a current flowing write-in lines and bit lines at write-in of data.

**SOLUTION:** Switch elements  $\phi_{100}$  are provided at preceding stages of write-in lines WWL1-WWL3, and each write-in line WWL1-WWL3 is connected to a power source circuit 14 through the switch elements  $\phi_{100}$ . In the same way, switch elements  $\phi_{200}$  are provided at preceding stages of bit lines BL1-BL3, and each write-in line BL1-BL3 is connected to a power source circuit 14 through the switch elements  $\phi_{200}$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-132670

(P2003-132670A)

(43) 公開日 平成15年5月9日 (2003.5.9)

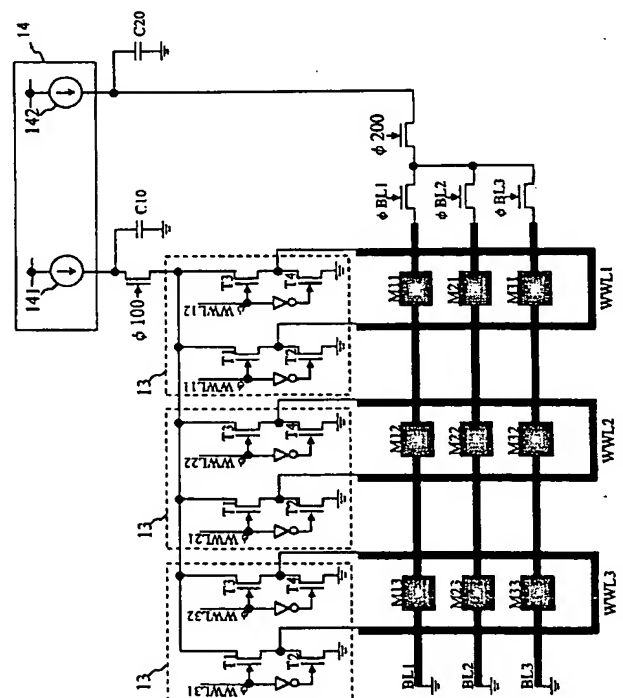
(51) IntCl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 1 1 C 11/14		G 1 1 C 11/14	Z 5 F 0 8 3
	11/15		A
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7
審査請求 未請求 請求項の数 8 O L (全 10 頁)			
(21) 出願番号	特願2001-323506 (P2001-323506)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成13年10月22日 (2001.10.22)	(72) 発明者	白井 英二 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	100088328 弁理士 金田 暢之 (外2名)
		Fターム (参考)	5F083 FZ10 GA03 GA11 GA15 LA12 LA16 LA18 MA06 MA15 MA17 MA19 NA01 NA08

(54) 【発明の名称】 磁気メモリ装置

(57) 【要約】

【課題】 データ書き込み時に、書き込み線およびビット線に流れる電流に発生するオーバーシュートを抑圧する。

【解決手段】 書き込み線WWL1～WWL3の前段にスイッチ素子φ100を設け、各書き込み線WWL1～WWL3をスイッチ素子φ100を介して電源回路14に接続する。同様に、ビット線BL1～BL3の前段にスイッチ素子φ200を設け、各ビット線BL1～BL3をスイッチ素子φ200を介して電源回路14に接続する。



## 【特許請求の範囲】

【請求項1】 磁気抵抗素子を具備し、マトリクス状に配置された複数のメモリセルと、電流を供給する電流源と、メモリセルに磁界を印加する複数の配線と、前記複数の配線毎に前記電流源からの電流を供給するスイッチ素子と、を有する磁気メモリ装置において、前記電流源と複数の前記スイッチ素子とを切り離すスイッチ素子を有することを特徴とする磁気メモリ装置。

【請求項2】 磁気抵抗素子を具備し、マトリクス状に配置された複数のメモリセルと、前記メモリセルに磁界を印加する複数の書き込み線と、前記複数の書き込み線毎に設けられ、対応する書き込み線に電流を供給するための第1のスイッチ素子と、前記複数の書き込み線と交差して配置され、前記メモリセルに接続された複数のビット線と、前記複数のビット線毎に設けられ、対応するビット線に電流を供給するための第2のスイッチ素子と、を有する磁気メモリ装置において、電源回路と複数の前記第1のスイッチ素子とを切り離す1つ以上の第3のスイッチ素子を有し、及び／又は、電源回路と複数の前記第2のスイッチ素子とを切り離す第4のスイッチ素子を有することを特徴とする磁気メモリ装置。

【請求項3】 前記書き込み線が前記第1のスイッチ素子と前記第3のスイッチ素子を介して接続された前記電源回路と、前記ビット線が前記第2のスイッチ素子と前記第4のスイッチ素子を介して接続された前記電源回路とは同一の電源回路であることを特徴とする請求項2に記載の磁気メモリ装置。

【請求項4】 前記電源回路内において、前記書き込み線及び前記ビット線は定電流源に接続されることを特徴とする請求項2又は3に記載の磁気メモリ装置。

【請求項5】 前記第3のスイッチ素子及び前記第4のスイッチ素子は、MOS電界効果トランジスタであることを特徴とする請求項2から4のいずれか1項に記載の磁気メモリ装置。

【請求項6】 前記磁気抵抗素子へのデータ書き込み時に、該当する書き込み線およびビット線に電流を流し、該電流によりそれぞれ誘起された磁界を前記磁気抵抗素子に印加する、請求項2から5のいずれか1項に記載の磁気メモリ装置。

【請求項7】 前記書き込み線を、前記磁気抵抗素子の素子列を挟むように配置された配線の一端を互いに接続して構成し、前記書き込み線を1つの定電流源に接続し、前記書き込み線に接続された第1のスイッチ素子内に複数の第5のスイッチ素子を設け、該複数の第5のスイッチ素子を切り替えることで前記書き込み線に双方向に電流が流れるようになっている、請求項2から6のいずれか1項に記載の磁気メモリ装置。

【請求項8】 前記書き込み線を、前記磁気抵抗素子の

素子列を挟むように配置された配線の一端を互いに接続して構成し、前記書き込み線を複数の定電流源に接続し、該複数の定電流源により前記書き込み線に双方向に電流が流れるようになっている、請求項2から6のいずれか1項に記載の磁気メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、不揮発性の磁気メモリ装置に関し、特に、磁気抵抗素子を用いたメモリセルを有する磁気メモリ装置に関する。

## 【0002】

【従来の技術】強磁性体などの磁性体において、その磁化の方向や磁化の有無などによってその電気抵抗が変化する磁気抵抗効果が知られており、そのときの電気抵抗値の変化率を磁気抵抗比（MR比；Magneto-Resistance Ratio）という。磁気抵抗比が大きい材料としては、巨大磁気抵抗（GMR；Giant Magneto-Resistance）材料や超巨大磁気抵抗（CMR；Colossal Magneto-Resistance）材料があり、これらは一般に、金属、合金、複合酸化物などである。例えば、Fe、Ni、Co、Gd、Tb及びこれらの合金や、 $\text{La}_x\text{Sr}_{1-x}\text{MnO}_9$ 、 $\text{La}_x\text{Ca}_{1-x}\text{MnO}_9$ などの複合酸化物などの材料がある。また一般に、強磁性体は、外部から印加された磁場によってその強磁性体内に発生した磁化が外部磁場を取り除いた後にも残留する（これを残留磁化という）、という特性を有している。

【0003】そこで、磁気抵抗材料として強磁性体を用いてその強磁性体の残留磁化を利用すれば、磁化方向や磁化の有無により電気抵抗値を選択して情報を記憶する不揮発性メモリを構成することができる。このような不揮発性メモリは、磁気メモリ（MRAM（磁気ランダムアクセスメモリ）；Magnetic Random Access Memory）と呼ばれている。

【0004】近年、開発が進められているMRAMの多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶しており、磁化方向の違いによって生じる電気抵抗値の変化を検出することにより、記憶した情報を読み出す方式を採用している。また、書き込み用の配線に電流を流して誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、メモリセルに情報を書き込み、また、その情報を書き換えることができる。

【0005】MRAMのメモリセルとしては、トンネル絶縁膜（トンネル電流が流れる程度の厚さの電気絶縁膜）を2つの強磁性体層で挟んだ構造をもつトンネル磁気抵抗素子（TMR；Tunnel Magneto-Resistance、あるいはMTJ；Magnetic Tunnel Junction）が、高い磁気抵抗変化率（MR比）を備えており、もっとも実用化に近いデバイスとして期待されている。このようなメモリセルとして、従来、2つの面内磁化膜の間にトンネル絶縁膜を挟み込んだ構成のものが検討されていた。しか

しながら、面内磁化膜を使用したメモリセルの場合、メモリセルの微小化に伴って、MR比が低下し、必要な書き込み電流が増加し、また、動作点（メモリセルの磁気特性を示すヒステリシスループ）の移動が起こるなどの、解決すべき課題があることが分かっている。これに対し、特開平11-213650号公報においては、2枚の垂直磁化膜の間にトンネル絶縁膜である非磁性層を挟み込んだ構成のものが提案されている。垂直磁化膜を使用することにより、メモリセルを微小化した場合であっても、MR比の低下や書き込み電流の増加が抑えられ、また、ヒステリシスループにおけるシフトも抑えられ、優れた特性を有するメモリセルが得られるようになる。

【0006】図6は、MRAMのメモリセルアレイの構成の一例を示す回路図である。

【0007】1個のメモリセルは、可変抵抗として表現された磁気抵抗素子（メモリ素子）11と、磁気抵抗素子11に一端が接続するトランジスタ12とを備えている。トランジスタ12は、典型的にはMOS（Metal-Oxide-Semiconductor）電界効果トランジスタによって構成されており、その他端は接地されている。このようなメモリセルが複数個、2次元にマトリクス状に配置することにより、メモリセルアレイを構成している。ここで図示横方向の並びを行、縦方向の並びを列と呼ぶことにすると、図示したものでは、メモリセルアレイにおける3行×3列分の領域が示されている。各行ごとに行方向に延びるビット線BL1～BL3が設けられ、各列ごとに列方向に延びるワード線WL1～WL3が設けられている。各メモリセルにおいて、磁気抵抗素子11の一端は対応する行のビット線に接続し、トランジスタ12のゲートは対応する列のワード線に接続する。

【0008】図示破線で示すのは、各メモリセルへのデータの書き込みを行うための書き込み線WWL1～WWL3であり、この書き込み線は、列ごとに設けられている。T1～T4はスイッチ素子としてのトランジスタ、13は列ごとに書き込み線WWL1～WWL3に電流を供給する第1のスイッチ素子として書き込み回路である。書き込み線WWL1～WWL3は列の他端で折り返し、書き込み回路13を構成するトランジスタT1、T4またはT2、T3を介して電源回路14に接続される。トランジスタT1、T4がオンされている時には図示反時計回りに書き込み電流が流れ、トランジスタT2、T3がオンされている時には図示時計回りに書き込み電流が流れる。従って、書き込み回路13のスイッチ素子により、電源回路14からの電流を書き込み線に対して双方向に書き込み電流として流すことができる。

【0009】図7は、メモリセルの構成の一例を示す断面図である。図では、列方向に並ぶ2個のメモリセルが示されている。

【0010】半導体基板30上に素子分離領域31が形

成されるとともに、トランジスタ12のドレイン領域32及びソース領域33が設けられ、ドレイン領域32及びソース領域33に挟まれた領域において、ゲート絶縁膜34を介して、トランジスタ12のゲート電極を兼ねるワード線35（図6におけるワード線WL1～WL3に対応）が形成されている。図示した例では、2個のトランジスタ12がソース領域33を兼用する形態となっており、このようなトランジスタ12を覆うように、層間絶縁膜36、37及び38がこの順で設けられている。

層間絶縁膜38は、特に薄く形成されている。ソース領域33は、プラグ39を介して、層間絶縁膜36上に形成された接地線40に接続し、ドレイン領域32は、プラグ41を介して、層間絶縁膜38上に形成された磁気抵抗素子11に下面に接続している。磁気抵抗素子11は、図示した例では、特開平11-213650号公報に記載されたような、2層の垂直磁化膜の間に非磁性層であるトンネル絶縁膜を挟持した構成のものである。また、層間絶縁膜38の下には、層間絶縁膜37に彫り込まれるように、書き込み線42（図6における書き込み線WWL1～WWL3に対応）が形成されている。隣接する磁気抵抗素子11間の領域を埋めるように層間絶縁膜43が形成されており、磁気抵抗素子11の上面は、層間絶縁膜43上に形成されて図示左右方向に延びるビット線44（図6におけるビット線BL1～BL3に対応）に接続している。さらに、層間絶縁膜43やビット線44を覆うように、保護膜を兼ねる層間絶縁膜45が形成されている。

【0011】図6に示したメモリセルアレイにおけるメモリセルへのデータの書き込みは、データを書き込もうとするメモリセル（選択されたメモリセル）に書き込み線を通る書き込み電流による書き込み磁界とビット線を通るアシスト電流によるアシスト磁界との和磁界によって、選択されたメモリセルのみにデータが書き込まれるようにして行われる。例えば、メモリセルが属する行のビット線にアシスト電流を流して磁気抵抗素子の膜面に対して水平なアシスト磁界を発生させ、その後書き込み線に、書き込み値（“Low（0）”または“High（1）”）に応じた極性の書き込み電流を流して磁気抵抗素子の膜面に対して垂直な書き込み磁界を発生させ書き込み磁界とアシスト磁界との和磁界によって、選択されたメモリセルのみにデータが書き込まれる。アシスト磁界は強磁性層の磁化方向反転に必要な書き込み磁界の大きさを低減するように働く磁界であり、書き込み磁界は強磁性層の磁化方向を決定する磁界である。メモリセルへの書き込み方法としては、アシスト磁界を発生させた後に、書き込み磁界を発生させることで書き込みを達成しても良く、書き込み磁界を先に発生させた後にアシスト磁界を発生させることで書き込みを達成しても良い。

【0012】また、選択された行のビット線にアシスト

電流を流すために、各ビット線の一端には、電源回路14とそのビット線を接続するためのスイッチ素子としてのトランジスタ15が設けられ、他端には、その他端でビット線を接地するためのスイッチ素子としてのトランジスタ16が設けられている。トランジスタ15、16は、典型的には、MOS電界効果トランジスタによって構成される。

【0013】このようなメモリセルアレイにおいて、各ビット線BL1～BL3の一端には、読み出し回路20が設けられている。読み出し回路20は、ワード線WL1～WL3によって選択された列のメモリセルからそのメモリセルに書き込まれたデータを読み出すものである。具体的には、トランジスタ15、16の全てをオフ状態とし、ワード線によって特定の列のトランジスタ12をオン状態とし、読み出し回路20側から対象とするメモリセルの磁気抵抗素子11の抵抗値を読み出し、その結果に基づいて“0”及び“1”のいずれが記録されているかを判定する。この場合、磁気抵抗素子11の抵抗値の絶対値を測定するのではなく、たとえば読み出し回路20内に参照セルを設け、その参照セルと磁気抵抗素子11の抵抗との大小を比較して“0”及び“1”のいずれであるかを判定する。参照セルには、磁気抵抗素子11において記録値が“0”のときの抵抗値と記録値が“1”であるときの抵抗値との中間となる抵抗値が設定されるようにする。そして、参照セルと磁気抵抗素子11の双方に所定電流を流し、そのときに参照セル及び磁気抵抗素子11の双方の両端に発生する電圧を検出し、両者の電圧を比較することによって、参照セルの抵抗値の方が大きいのか、磁気抵抗素子11の抵抗値の方が大きいかを判定し、磁気抵抗素子11に記録されたデータを判別する。

【0014】図8は、MRAMのメモリセルアレイのデータ書き込みに関連する部分の構成を詳細に説明するための図である。

【0015】図8において、M11～M33は各メモリセルに備えられている磁気抵抗素子、141は書き込み電流用の定電流源、142はアシスト電流用の定電流源、 $\phi$ WWL11～ $\phi$ WWL32はスイッチT1～T4を制御して書き込み線WWL1～WWL3に書き込み電流を流すためのスイッチ素子、 $\phi$ BL1～ $\phi$ BL3は各ビット線BL1～BL3にアシスト電流を流すためのスイッチ素子であり、ここではn型MOSトランジスタで構成している。なお、電源回路14を2つ以上設け、互いに異なる電源回路内に定電流源141、142をそれぞれ設けても良い。ここではトランジスタT1、T2、T3及びT4はn型MOSトランジスタで構成されているが、例えばトランジスタ(T1、T3)がp型MOSトランジスタであって、トランジスタ(T2、T4)がn型MOSトランジスタであっても良い。その場合は図8において、トランジスタT1及びT2を制御す

る $\phi$ WWL11をインバータ回路にせず、両スイッチに同じ入力信号が入力される回路構成にすればよい。

【0016】図8に示したメモリセルアレイでは、スイッチ素子 $\phi$ WWL11にHighのパルスが印加されることでトランジスタT1がオンされ、トランジスタT2はオフとなる。さらにスイッチ素子 $\phi$ WWL12にLowのパルスが印加されることでトランジスタT3がオフされ、トランジスタT4がオンとなり、書き込み線WWL1に図示反時計回りに書き込み電流が流れる。逆に、スイッチ素子 $\phi$ WWL11にLowのパルスが印加され、スイッチ素子 $\phi$ WWL12にHighのパルスが印加されるとトランジスタT2及びT3がオンされ、トランジスタT1及びT4はオフとなるので、書き込み線WWL1に図示時計回りに書き込み電流が流れる。

【0017】また、スイッチ素子 $\phi$ BL1がHighのパルスによりオンされると、ビット線BL1に図示左方向にアシスト電流が流れる。

【0018】例えば、磁気抵抗素子M11へのデータ書き込み時には、スイッチ素子 $\phi$ BL1をオンにしてビット線BL1にアシスト電流が流れている間に、書き込み線WWL1に書き込み電流が書き込み値に応じた向きに流す。また、データ書き込み時には、書き込み線に双方向に書き込み電流を流す動作を1セットとして行っても良く、書き込み値(“0”または“1”)に応じた極性の書き込み電流のみ片方向だけを流してもよい。

【0019】

【発明が解決しようとする課題】しかしながら、上述した従来のメモリセルアレイでは、書き込み線と電源回路14とを接続させる全てのスイッチ素子がオフの状態、あるいは、ビット線と電源回路14とを接続させる全てのスイッチ素子がオフの状態では、電源回路14からの電流の流れ先がなくなるためにその電流は寄生容量C10あるいはC20へ充電される。また、本明細書でいうところの寄生容量C10、C20を構成する要素としては、書き込み線およびビット線が接続された電源回路の出力容量、書き込み線やビット線等の配線容量、スイッチ素子の寄生容量等である。

【0020】その結果、データ書き込み時に、書き込み線、ビット線に図9に示すような振幅Iのパルス電流を流すと、その瞬間に寄生容量C10、C20へ充電されたエネルギー(電荷)が瞬時に放電されるため、その直後のパルス電流波形にはオーバーシュートが発生し、誤動作や書き込み不良等を生じる。

【0021】ここで、スイッチ素子の寄生容量とは、スイッチ素子が例えばMOS型トランジスタであれば、図3に示すようにS(ソース)－G(ゲート)間のオーバーラップ容量及びSの拡散容量に該当する。MRAMのメモリセルアレイでは、所定の閾値以上の書き込み電流およびアシスト電流を流さなければデータの書き込みを行うことができない。そのため、通常のキャパシタセル

を用いたDRAMと比較して、スイッチ素子の電流駆動能力を著しく高める必要がある。そのため、スイッチ素子の寄生容量が、上述の配線容量などに比べて大きくなる。

【0022】例えば、図8において、トランジスタT1、T3がオフ状態（遮断状態）であるとする、S-G間のオーバーラップ容量及びSの拡散容量が、電源回路14からみたトランジスタT1、T3の寄生容量成分となる。電源回路14にはこれらの容量成分が書き込み線の数だけ並列的に接続しているため、スイッチ素子の寄生容量が寄生容量C10を構成する要素の中で、より支配的なものとなる。

【0023】そこで本発明の目的は、スイッチ素子全体としての寄生容量を軽減することにより、データ書き込み時に書き込み線及びビット線に流れる電流に発生するオーバーシュートを抑圧することができる磁気メモリ装置を提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するために本発明の磁気メモリ装置は、磁気抵抗素子を具備し、マトリクス状に配置された複数のメモリセルと、電流を供給する電流源と、メモリセルに磁界を印加する複数の配線と、前記複数の配線毎に前記電流源からの電流を供給するスイッチ素子と、を有する磁気メモリ装置において、前記電流源と複数の前記スイッチ素子とを切り離すスイッチ素子を有することを特徴とする。

【0025】この構成によれば、複数の配線に電流を供給するために設けられた複数のスイッチ素子と、複数のスイッチ素子を切り離すスイッチ素子とを全てオフ状態としても、電流は複数のスイッチ素子には流れ込まず、結果、切り離すためのスイッチ素子の寄生容量のみに電荷が充電されることになる。それにより、電流源からみた配線側の寄生容量は複数のスイッチ素子の分だけ大きく軽減されるため、データ書き込み時に書き込み線にオーバーシュートが抑圧された電流を流すことができる。

【0026】また、本発明の磁気メモリ装置は、磁気抵抗素子を具備し、マトリクス状に配置された複数のメモリセルと、前記メモリセルに磁界を印加する複数の書き込み線と、前記複数の書き込み線毎に設けられ、対応する書き込み線に電流を供給するための第1のスイッチ素子と、前記複数の書き込み線と交差して配置され、前記メモリセルに接続された複数のビット線と、前記複数のビット線毎に設けられ、対応するビット線に電流を供給するための第2のスイッチ素子と、を有する磁気メモリ装置において、電源回路と複数の前記第1のスイッチ素子とを切り離す1つ以上の第3のスイッチ素子を有し、及び／又は電源回路と複数の前記第2のスイッチ素子とを切り離す第4のスイッチ素子を有することを特徴とする。

【0027】この構成によれば、複数の書き込み線に電

流を供給する第1のスイッチ素子及び第3のスイッチ素子を全てオフ状態としても、電流は第1のスイッチ素子には流れ込まず、第3のスイッチ素子の寄生容量のみに電荷が充電されることになる。それにより、電源回路からみた書き込み線側のスイッチ素子の寄生容量が大きく軽減されるため、データ書き込み時に書き込み線にオーバーシュートが抑圧された電流を流すことができる。ビット線においても同様のことがいえ、電源回路からみたビット線側のスイッチ素子の寄生容量が大きく軽減されるため、データ書き込み時にビット線にオーバーシュートが抑圧された電流を流すことができる。

【0028】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0029】図1は、本発明の実施の一形態の磁気メモリ装置のデータ書き込みに関係する部分の構成を示す図である。なお、図1において、図8と同様の部分は同一の符号を付し、説明を省略する。

【0030】図1を参照すると、本実施形態の磁気メモリ装置では、列ごとに書き込み線WWL1～WWL3に電流を供給する複数のスイッチ素子として又は第1のスイッチ素子としての書き込み回路13、各書き込み回路13を構成する複数の第5のスイッチ素子としてのトランジスタT1～T4、複数の第1のスイッチ素子と電源回路14とを切り離すためのスイッチ素子として又は第3のスイッチ素子としてのスイッチ素子φ100を配置し、書き込み線WWL1～WWL3を、各書き込み回路13内のトランジスタT1～T4からスイッチ素子φ100を介して電源回路14内の定電流源141に接続している。また、ビット線BL1～BL3に電流を供給するスイッチ素子として又は第2のスイッチ素子としてのスイッチ素子φBL1～φBL3、複数のスイッチ素子φBL1～BL3と電源回路14とを切り離すためのスイッチ素子として又は第4のスイッチ素子としてのスイッチ素子φ200を配置し、ビット線BL1～BL3を、スイッチ素子φBL1～φBL3からスイッチ素子φ200を介して電源回路14内の定電流源142に接続している。

【0031】なお、図1では、磁気メモリ装置のメモリセルアレイにおける3行×3列分の領域のみが示されているが、その全体構成は、例えば、図2のようになっている。ただし、本実施形態の磁気メモリ装置は図2に示す構成に必ずしも限定されるものではなく、スイッチ素子φ100-1～φ100-Nに関しては、スイッチ素子φ100-1～φ100-Nが2つ以上の書き込み線に接続され、各書き込み線がスイッチ素子φ100-1～φ100-Nのいずれかを介して電源回路14に接続されるような構成であれば良い。また、スイッチ素子φ200-1～φ200-Mに関しては、スイッチ素子φ200-1～φ200-Mが2つ以上のビット線に接続



され、各ビット線がスイッチ素子 $\phi 200-1 \sim \phi 200-M$ のいずれかを介して電源回路14に接続されるような構成であれば良い。

【0032】本実施形態におけるスイッチ素子 $\phi 100$ 、 $\phi 200$ は、図3に示すようにS-G間のオーバーラップ容量及びSの拡散容量を持つn型MOSトランジスタで構成されている。ただし、本発明のスイッチ素子 $\phi 100$ 、 $\phi 200$ はこれに限定されず、p型MOSトランジスタであっても良い。

【0033】例えば、書き込み線WWL1~WWL3と電源回路14とを接続させるスイッチ素子（図1ではスイッチ素子 $\phi 100$ 及び各書き込み回路13内のトランジスタT1、T3）を全てオフ状態にさせると、電源回路14からの電流はスイッチ素子 $\phi 100$ の寄生容量

（上述のオーバーラップ容量及び拡散容量）に充電されることになる。しかしながら、スイッチ素子 $\phi 100$ をオフ状態にさせているため、トランジスタT1、T3には電流が流れず、トランジスタT1、T3に電荷が充電されることはない。したがって、電源回路14からみた書き込み線側のスイッチ素子の寄生容量はスイッチ素子 $\phi 100$ の寄生容量のみとなる。

【0034】これに対して、図8に示した従来の磁気メモリ装置では、書き込み線WWL1~WWL3と電源回路14とを接続させるスイッチ素子（図8では各書き込み回路13内のトランジスタT1、T3）を全てオフ状態にさせると、電源回路14からの電流はトランジスタT1、T3の寄生容量に充電されることになる。したがって、電源回路14からみた書き込み線側のスイッチ素子の寄生容量は、電源回路14に書き込み線の数だけ並列的に接続されているトランジスタT1、T3の寄生容量の合成容量となる。

【0035】それにより、本実施形態では、寄生容量C10の中で支配的となるスイッチ素子の寄生容量が従来例と比較して大きく軽減されるため、データ書き込み時に書き込み電流に発生するオーバーシュートを図10に示すように抑圧できる。

【0036】同様に、ビット線側のスイッチ素子の寄生容量も、従来例と比較して大きく軽減されるため、各磁気抵抗素子への書き込み時にアシスト電流に発生するオーバーシュートを図10に示すように抑圧できる。

【0037】図1に示した磁気メモリ装置におけるデータ書き込み時の動作については、書き込み線に書き込み電流を流すと同時あるいはその前後にスイッチ素子 $\phi 100$ にHighのパルス印加してオンさせ、ビット線にアシスト電流を流すと同時あるいはその前後にスイッチ素子 $\phi 200$ にHighのパルス印加してオンさせること以外は、図8の従来例と同様であるため、説明を省略する。

【0038】なお、本実施形態では、書き込み線及びビット線のそれぞれの前段に集合スイッチとしてスイッチ

素子 $\phi 100$ 、 $\phi 200$ を設けることで、書き込み電流及びアシスト電流の両方のオーバーシュートの抑圧を達成しているが、本発明はこれに限定されるものではなく、書き込み線あるいはビット線のいずれか一方の前段にのみ集合スイッチを設けることで、書き込み電流及びアシスト電流のいずれか一方のみのオーバーシュートの抑圧を達成する構成としても良い。

【0039】また、本実施形態では、1つの定電流源により各書き込み線に双方向に電流を流しているが、本発明はこれに限定されるものではなく、図4に示すように複数の定電流源により各書き込み線に双方向に電流を流す構成にも適用可能である。図4は、4つの定電流源151~154により各書き込み線WWL1~WWL3に双方向に電流を流す構成を示しており、各書き込み線WWL1~WWL3に図示反時計回りに電流を流す場合は、定電流源151、154を選択して電流を流し、各書き込み線WWL1~WWL3に図示時計回りに電流を流す場合は、定電流源152、153を選択して電流を流す。なお、定電流源151、152と定電流源153、154とを、同じ電源回路内に設けていても良く、また、電源回路を2つ以上設け、互いに異なる電源回路内にそれぞれ設けても良い。

【0040】また、本実施形態では、各書き込み線に双方向に電流を流しているが、本発明はこれに限定されるものではなく、図5に示すように各書き込み線に一方にのみ電流を流す構成にも適用可能である。

【0041】

【発明の効果】以上説明したように本発明は、電源回路と2つ以上の第1のスイッチ素子とを切り離すために1つ以上の第3のスイッチ素子を有し、書き込み線には第1のスイッチ素子及び第3のスイッチ素子を介して電流が供給される構成としている。それにより、複数の書き込み線に電流を供給する第1のスイッチ素子および第3のスイッチ素子を全てオフ状態としても、第3のスイッチ素子の寄生容量のみに電荷が充電され、電源回路からみた書き込み線側の寄生容量が第1のスイッチ素子の分だけ大きく軽減されるため、データ書き込み時に書き込み線にオーバーシュートが抑圧された電流を流すことができるという効果がある。

【0042】また、電源回路と2つ以上の第2のスイッチ素子とを切り離すために1つ以上の第4のスイッチ素子を有し、ビット線には第2のスイッチ素子及び第4のスイッチ素子を介して電流が供給される構成としており、上記と同様の理由により、電源回路からみたビット線側の寄生容量が第2のスイッチ素子の分だけ大きく軽減されるため、データ書き込み時にビット線にオーバーシュートが抑圧された電流を流すことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態の磁気メモリ装置の構成

を示す図である。

【図2】図1に示した磁気メモリ装置の全体構成の一例を示す図である。

【図3】図1に示したスイッチ素子 $\phi 100$ 、 $\phi 200$ の一構成例を示す図である。

【図4】本発明の別の実施形態の磁気メモリ装置の構成を示す図である。

【図5】本発明のさらに別の実施形態の磁気メモリ装置の構成を示す図である。

【図6】MRAMのメモリセルアレイの構成の一例を示す回路図である。

【図7】メモリセルの構成の一例を示す断面図である。

【図8】図6に示したメモリセルアレイのデータ書き込みに関連する部分の構成を詳細に説明するための図である。

【図9】従来の磁気メモリ装置における書き込み時のパルス電流波形の一例を示す図である。

【図10】本発明の磁気メモリ装置における書き込み時のパルス電流波形の一例を示す図である。

【符号の説明】

M11～M33 磁気抵抗素子

141, 142, 151～154 定電流源

$\phi 100$ ,  $\phi 200$  スイッチ素子

WWL1～WWL3 書き込み線

BL1～BL3 ビット線

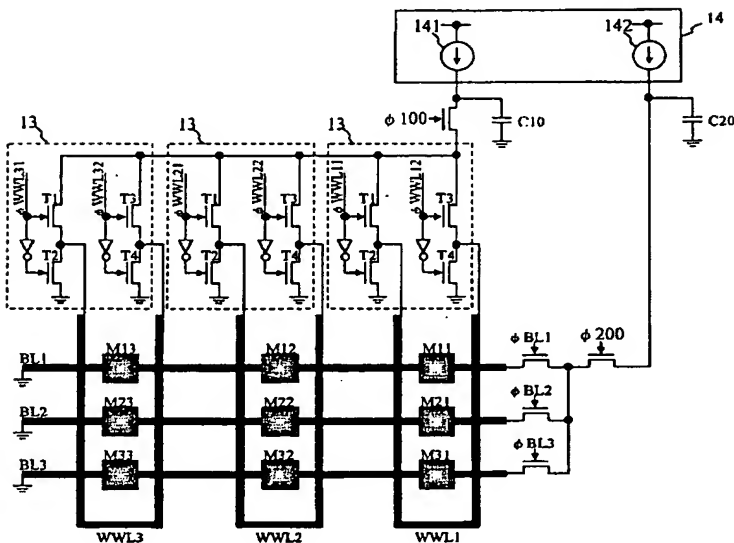
$\phi WWL11 \sim \phi WWL32$  スイッチ素子

$\phi BL1 \sim \phi BL3$  スイッチ素子

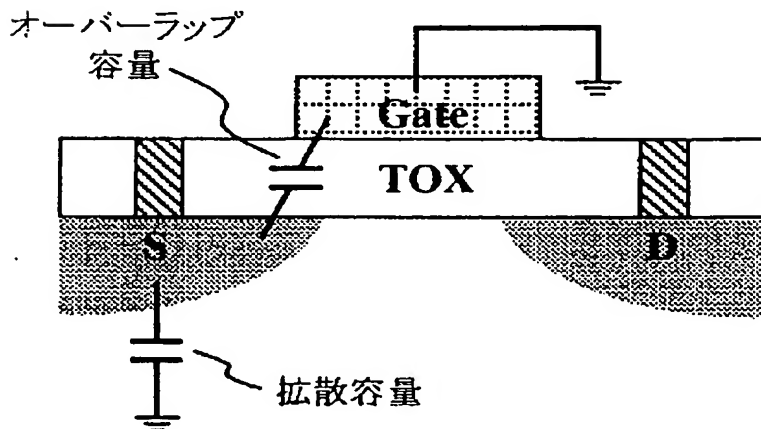
T1～T4 トランジスタ

C10, C20 寄生容量

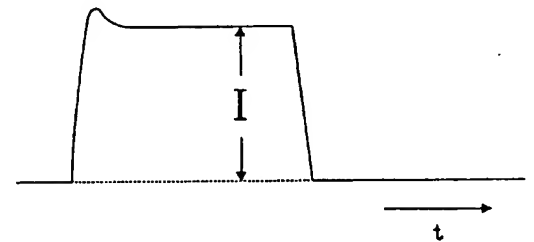
【図1】



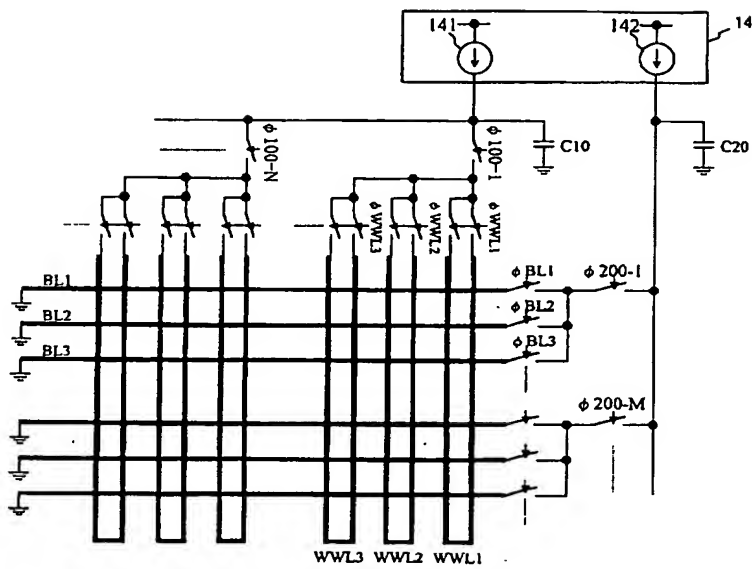
【図3】



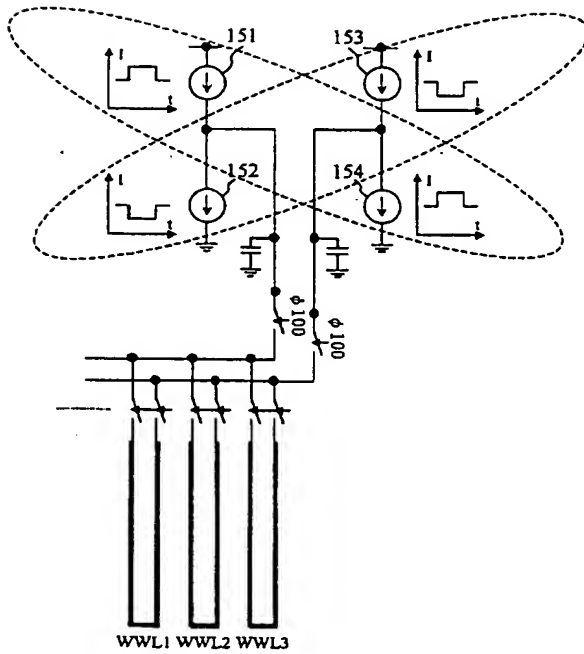
【図10】



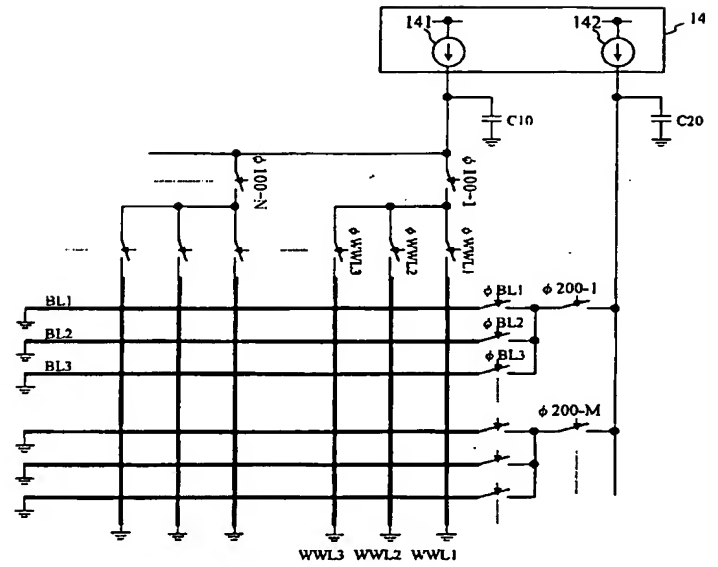
【図2】



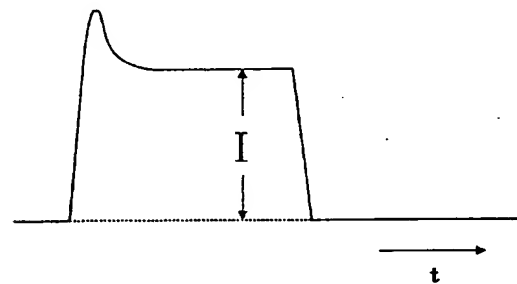
【図4】



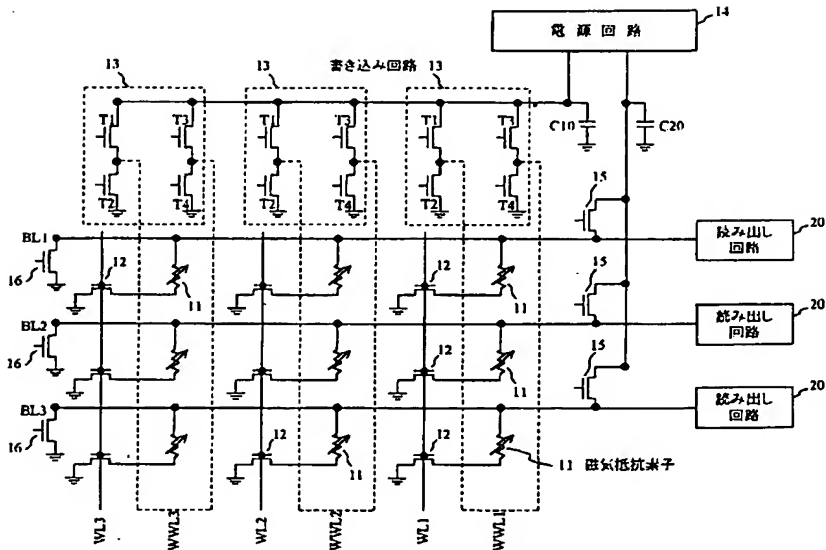
【図5】



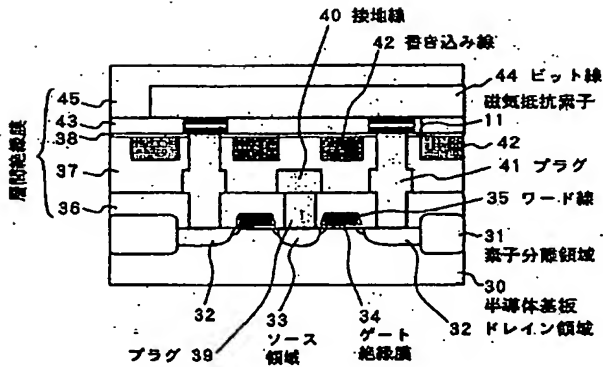
【図9】



【図 6】



【図 7】



【図8】

